

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-247197

(43) 公開日 平成7年(1995)9月26日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
C 3 0 B 29/06	B	8216-4G		
15/00	Z			
33/02		8216-4G		
H 0 1 L 21/208	T			
21/322	Y			

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21) 出願番号 特願平6-38031

(22) 出願日 平成6年(1994)3月9日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 田村 直義

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

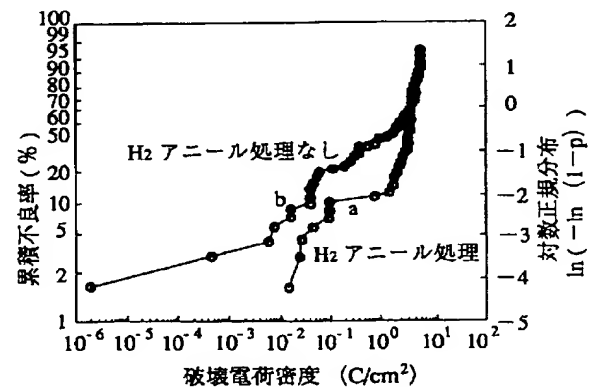
(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【目的】 半導体装置の製造方法に関し、半導体素子を形成するシリコン基板の表面に格子間酸素や汚染物質が少ない層を形成し、このシリコン基板を熱酸化して形成したゲート絶縁膜の質を向上する方法を提供する。

【構成】 希釈されない水素等の強還元性雰囲気中でシリコン基板を加熱する工程を含む半導体装置の製造方法において、シリコン基板を切り出すシリコン単結晶をチョクラスキ法によって種結晶をrpmより遅くして引き上げ、坩堝から浸出する酸素等の、成長過程でシリコン単結晶中に混入する外因性でない不純物の濃度を $1.5 \times 10^{18}$ 個/cm<sup>3</sup>以上にする。シリコン基板を切り出すシリコン単結晶をチョクラスキ法によって0.8mm/min以上の引き上げ速度で成長させ、あるいは、引き上げた後に、1300℃以上の温度に保持される時間を60分以内に抑えることによっても同様の効果を生じる。

本発明のMOSキャパシタの特性説明図(1)



## 【特許請求の範囲】

【請求項1】 シリコン基板を切り出すシリコン単結晶を成長する過程でシリコン単結晶中に混入する外因性でない不純物の濃度を $1.5 \times 10^{18}$ 個/cm<sup>3</sup>以上にし、強還元性雰囲気中で該シリコン基板を加熱する工程を経て製造されたことを特徴とする半導体装置。

【請求項2】 強還元性雰囲気中でシリコン基板を加熱する工程を含む半導体装置の製造方法において、該シリコン基板を切り出すシリコン単結晶を成長する過程でシリコン単結晶中に混入する外因性でない不純物の濃度を $1.5 \times 10^{18}$ 個/cm<sup>3</sup>以上とすることを特徴とする半導体装置の製造方法。

【請求項3】 シリコン基板を切り出すシリコン単結晶を成長する方法がチョクラルスキ法であり、外因性でない不純物がルツボから浸出する酸素であることを特徴とする請求項2に記載された半導体装置の製造方法。

【請求項4】 強還元性雰囲気が水素であることを特徴とする請求項2または請求項3に記載された半導体装置の製造方法。

【請求項5】 強還元性雰囲気中でシリコン基板を加熱する工程を含む半導体装置の製造方法において、該シリコン基板を切り出すシリコン単結晶を、引上げ速度が0.8mm/min以上のチョクラルスキ法によって成長することを特徴とする半導体装置の製造方法。

【請求項6】 強還元性雰囲気中でシリコン基板を加熱する工程を含む半導体装置の製造方法において、該シリコン基板を切り出すシリコン単結晶をチョクラルスキ法によって成長する過程もしくは成長完了後に該シリコン単結晶が1300℃以上の温度に保持される時間を60分以内に抑えることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、高い信頼性を有する半導体装置を実現するためのシリコン基板またはシリコン基板を切り出すシリコン単結晶の処理方法に特徴を有する半導体装置とその製造方法に関する。

【0002】近年、半導体装置の微細化が進み、特に、MOSを構成素子とする集積回路装置の場合、チャネルが短縮されることによって生じるいわゆるホットキャリア効果を抑制するための種々の手段が講じられてきた。その一つとして、ゲート絶縁膜の信頼性を高めることを挙げることができ、ゲート絶縁膜の信頼性を高めることによって半導体装置を高信頼化する方法として熱酸化によってゲート絶縁膜を形成するシリコン基板自体の不純物を低減し、結晶性を改善する方法が注目されている。

【0003】また、近い将来、磁気記憶装置に代替されるものとして有望視されているフラッシュメモリにおいて、フローティングゲートにキャリアを注入することによるゲート絶縁膜の劣化を抑制することができるシリコ

ン酸化膜を形成する手段を開発することが強く要望されている。

## 【0004】

【従来の技術】前記のようにシリコン基板の特性を改善する方法としては下記の2つの方法が考えられる。

① シリコン基板を切り出すシリコン単結晶の製造条件を最適化する方法。

② シリコン基板を切り出すシリコン単結晶の製造条件を最適化することは必ずしも必要でなく、シリコン基板を切り出した後に特殊な処理を施すことによってシリコン基板の表面および内部の改質を行う方法。

【0005】これまで、これらの方法の双方とも、ゲート絶縁膜の信頼性向上に寄与していることが確認されている。ここでは上記の②の方法について考えていく。

【0006】一般に、チョクラルスキ法によって成長されたシリコン単結晶には石英製ルツボから溶出した酸素が過飽和状態に含有されている。このように酸素が過飽和状態で含有されているシリコン単結晶から切り出したシリコン基板を用いて集積回路装置を製造すると、その製造工程中の熱処理によってこの酸素がSiO<sub>2</sub>の形で析出し、半導体装置の電気特性を劣化させる。

【0007】例えば、集積回路装置の製造工程中の熱処理によって、シリコン基板中に存在している格子間酸素がSiO<sub>x</sub>の形でシリコン基板表面近傍に析出する。その状態でシリコン基板表面にゲート酸化膜を形成するための「酸化」を行うと、析出物がある所では正常な「酸化」が行われず、したがって酸化膜の組成も、析出物がある所ではSiO<sub>2</sub>、正四面体構造にならない。酸化膜の一般理論から、正四面体構造ができない場所の耐圧は劣化することがわかっている。したがって、上記の析出物がある所にゲート酸化膜を形成すると、そのゲート酸化膜の寿命は短くなる。

【0008】このように、シリコン基板中の格子間酸素が集積回路装置の製造工程中の熱処理によって局部的に析出して形成されたSiO<sub>2</sub>を、ゲート絶縁膜を形成する前に1200℃程度の温度で熱処理して分解し、酸素を再び結晶格子に戻して無害化することができることがわかっている。しかし、通常の集積回路装置の製造工程においては、その後においても1200℃より低い温度で熱処理を加えることが避けられず、その際、再びシリコン基板中の酸素がシリコン基板の表面にSiO<sub>2</sub>の形で析出することがある。したがって、半導体装置の製造工程の途中で1200℃程度の熱処理を施して局部的に析出しているSiO<sub>2</sub>を溶解することはあまり効果的でない。

【0009】また、1200℃以下の熱処理で生じるSiO<sub>2</sub>の析出量を低減するためには、次の2つの方法が有効であることが通説になっている。

③ 表面近傍の格子間酸素濃度を集積回路装置の製造工程（シリコン基板自体に熱処理を加える、いわゆるバル

クプロセスを意味する)で使用する最低温度における飽和濃度以下にする。

④ チョクラルスキ法によってシリコン単結晶を成長する際、格子間酸素の析出の元となる成長導入欠陥や、石英ルツボから混入する酸素以外の不純物、例えば炭素や重金属等の不均一核の生成を抑制する。

【0010】この③は、いわゆる飽和溶液の理論からの類推的帰結であり、酸素が過飽和状態にならなければ、シリコン基板中に酸素が $\text{SiO}_2$ の形で析出する核が存在していても、 $\text{SiO}_2$ として析出することはない。また、④は、格子間酸素の析出核が生成されるのを抑制するために、例えば単結晶シリコンの引き上げ速度を十分に低くする方法がとられる。

【0011】しかし、これらの方法は格子間酸素を析出させない方法のみに着目して導かれているため、従来から用いられていた、シリコン基板中の遷移金属等の有害不純物を析出核によってゲッターリングするコットレル効果に対しては不利である。この点に関しては、前述③の最初に格子間酸素の濃度を十分に下げってしまう方法においても同じ矛盾をはらんでいる。この不純物のゲッターリングと格子間酸素の濃度の低減を両立させるために、従来からイントリンシック・ゲッターリング(IG)法が用いられている。

【0012】図6は、IG法によるシリコン基板中の酸素ゲッターリングの工程説明図であり、(A)～(D)は各工程を示している。この図において、21はシリコン基板、22は格子間酸素、23は酸化膜、24は析出核、25は積層欠陥である。この工程説明図によって従来から知られているIG法の概要を説明する。

【0013】第1工程(図6(A)参照)  
シリコン単結晶をチョクラルスキ法によって引き上げ、切り出す(スライス)ことによってシリコン基板21を形成する。このシリコン基板21には、引き上げ時の種結晶の回転数に依存する密度の格子間酸素(ドットで示している)22が全体的に分布している。

【0014】第2工程(図6(B)参照)  
シリコン基板の表面に、表面の荒れの発生や雰囲気からの汚染を低減するための薄い酸化膜23を形成した後、窒素等の非酸化性雰囲気中で1100℃程度、あるいは、それ以上の高温で熱処理を行うことによって、シリコン基板21の表面近傍の格子間酸素22を外方拡散させる。

【0015】第3工程(図6(C)参照)  
シリコン基板21に500～700℃の低温熱処理を施すことによって、シリコン基板21の内部に格子欠陥等の格子間酸素の析出核24を形成する。

【0016】第4工程(図6(D)参照)  
さらに、徐々に温度を上げると、シリコン基板21中の析出核24が巨大な積層欠陥25に変化する。このように、巨大な積層欠陥25の密度が大きくなるとシリコン

基板の機械的強度が劣化するが、シリコン基板21の表面には格子間酸素が少なく、特性が優れた半導体素子を形成できる層が形成される。

【0017】

【発明が解決しようとする課題】前項で説明した従来知られているIG法は、一見、格子間酸素によって惹起されるすべての問題を解決するかのように見える。しかし、IG法の第2工程(図6(B)参照)において外方拡散できる格子間酸素の量には、下記の理由による限界がある。

【0018】すなわち、非酸化性雰囲気、特に窒素中またはAr中でむきだしのシリコン基板を加熱すると、窒素の場合は、表面が窒化されて表面荒れを生じるという問題があり、Arの場合は、実際に使用することができ、Arは窒素等の不純物を含んでいるため、窒素中で加熱する場合と同様にシリコン基板の表面が荒れるのを避けることができない。基板表面荒れは、その上に形成したゲート酸化膜の耐圧劣化をもたらす。

【0019】このようなシリコン基板の表面の荒れを防止するために表面層にシリコン酸化膜を形成することが行われるが、このシリコン酸化膜が格子間酸素の外方拡散に制限を加えてしまい、集積回路装置の製造工程における熱処理によって残留している格子間酸素が表面上に析出して特性を劣化することになる。

【0020】また、前記のように、第3工程で形成した酸素の析出核24が、第4工程で巨大な積層欠陥25に変化し、シリコン基板の機械的強度を損なうという問題を生じる。

【0021】これらの矛盾を一挙に解決する方法として、シリコン基板を水素雰囲気中でアニールすることが考えられる。水素中でシリコン基板をアニールすると、まず、シリコン基板の表面の自然酸化膜が昇華し、シリコン基板がむき出しになる。

【0022】したがって、格子間酸素の外方拡散に制限を加えるものがなくなり、見掛け上水素により格子間酸素の外方拡散が促進され、従来の、格子間酸素を外方拡散する技術による場合よりも低酸素濃度状態が実現される。また、水素自体が強力な還元能力を有しているため、酸素析出核の分解や消去にも寄与していると解釈することもできる。

【0023】上記のことから、シリコン基板を水素雰囲気中でアニールすれば、すべての問題が解決されと考えられ、実際にこの方法によって処理されたシリコン基板がすでに製品として市販されている。ところが、水素雰囲気中でアニールする場合には、格子間酸素濃度と結晶中の不均一核(前記の析出核)形成の条件によっては、逆の結果をもたらしていることが判明した。

【0024】すなわち、チョクラルスキ法による結晶成長において石英ルツボの回転数を遅くするか、引き上げ速度を低速にするか、または引き上げ後の冷却を徐冷状

態で行うか、あるいは上記3つの方法を組み合わせて形成されたシリコン基板は、格子間酸素濃度が低い、あるいはシリコン基板中の不均一核密度が低い。そしてこのようにして形成されたシリコン基板に水素アニールを行うと耐圧特性が劣化することがわかった。この現象は、格子間酸素濃度および不均一核密度が低いシリコン基板においては、酸素の析出が有効に行えず、したがって、シリコン基板中に汚染物質が侵入した時のゲッタリング効果が充分でないことによるものと思われる。

【0025】本発明は、シリコン基板中の格子間酸素の量を高くするか、または、シリコン基板中の不均一核密度（但し重金属や炭素等の不均一核は低減すべきである）を高くし、その状態で水素アニールを行うことによって、シリコン基板表面に近い領域における格子間酸素を低減し、不可避的に浸入した汚染物質をシリコン基板内部の析出核にゲッタリングすることによって、半導体素子を形成するシリコン基板の表面に格子間酸素や汚染物質が薄い層を形成する半導体装置の製造方法を提供することを目的とする。

【0026】

【課題を解決するための手段】本発明にかかる半導体装置においては、シリコン基板を切り出すシリコン単結晶を成長する過程でシリコン単結晶中に混入する外因性でない不純物の濃度を $1.5 \times 10^{18}$ 個/cm<sup>3</sup>以上にし、強還元性雰囲気中で該シリコン基板を加熱する工程を経て製造される。

【0027】本発明にかかる、強還元性雰囲気中でシリコン基板を加熱する工程を含む半導体装置の製造方法においては、該シリコン基板を切り出すシリコン単結晶を成長する過程でシリコン単結晶中に混入する外因性でない不純物の濃度を $1.5 \times 10^{18}$ 個/cm<sup>3</sup>以上にす

る。

【0028】この場合、強還元性雰囲気を水素とし、また、シリコン基板を切り出すシリコン単結晶を成長する方法をチョクラルスキ法とし、また、外因性でない不純物をルツボから浸出する酸素とすることができる。

【0029】また、本発明にかかる他の、強還元性雰囲気中でシリコン基板を加熱する工程を含む半導体装置の製造方法においては、該シリコン基板を切り出すシリコン単結晶を、引上げ速度が0.8mm/min以上のチョクラルスキ法によって成長する。

【0030】そして、また、本発明にかかる、強還元性雰囲気中でシリコン基板を加熱する工程を含む半導体装置の製造方法においては、該シリコン基板を切り出すシリコン単結晶をチョクラルスキ法によって成長する過程もしくは成長完了後に該シリコン単結晶が1300℃以上の温度に保持される時間を60分以内に抑える。

【0031】

【作用】本発明のように、純水素等の強還元性雰囲気中でシリコン基板をアニールすると、シリコン基板の表面

の格子間酸素濃度は極度に低下し、シリコン基板の中央部には格子間酸素濃度や析出核密度が充分に高いため、シリコン基板の表面のみは格子間酸素濃度を下げ、工程中に不可避的に浸入した汚染物質をシリコン基板の内部の析出核によってゲッタリング（捕獲・固定）することが可能になる。

【0032】さらに、詳細にのべると、本発明のように、シリコン基板を切り出すシリコン単結晶をチョクラルスキ法等によって成長する過程で、種結晶の回転速度を下げルツボ等から不可避的にシリコン単結晶中に混入する酸素等の外因性でない不純物の濃度を $1.5 \times 10^{18}$ 個/cm<sup>3</sup>以上にすることによって、シリコン基板の表面に近い浅い領域における格子間酸素を低減し、高い機械的強度を有するシリコン基板を実現することができ、その結果、このシリコン基板の表面を熱酸化して形成するゲート絶縁膜の品質を向上して耐圧の劣化を防ぐことができる。

【0033】この場合、外因性でない不純物の濃度が $1.5 \times 10^{18}$ 個/cm<sup>3</sup>以下になると、シリコン基板内部での格子間酸素濃度も低いため、高温の水素アニール時にシリコン基板表面がむき出しになった場合に混入しやすい汚染不純物（重金属）のゲッタリングができなくなり、汚染不純物によりゲート絶縁膜の耐圧は劣化することがわかった。

【0034】また、他の発明のように、シリコン基板を切り出すシリコン単結晶を、引上げ速度が0.8mm/min以上のチョクラルスキ法によって成長することによってシリコン基板中の析出核の密度を高くすると、シリコン基板の表面に近い浅い領域における格子間酸素を低減し、かつ、素子特性に悪影響を与えない中心部に汚染物質をゲッタリングしたシリコン基板を実現することができ、その結果、このシリコン基板の表面を熱酸化して形成するゲート絶縁膜の品質を向上して耐圧の劣化を防ぐことができる。

【0035】この場合、シリコン単結晶を、引上げ速度を0.8mm/minより遅くすると、前述のように不均一核密度が減少し、その結果、格子間酸素濃度が高くても、析出核密度が減少するため、高温水素アニール時に混入される汚染物を充分にゲッタリングすることができない。したがって、この場合もゲート絶縁膜の耐圧は劣化する。

【0036】そして、また、他の発明のように、シリコン基板を切り出すシリコン単結晶をチョクラルスキ法によって成長する過程もしくは成長完了後に該シリコン単結晶が1300℃以上の温度に保持される時間を60分以内に抑えて急冷し、シリコン基板中の析出核の密度を高くすると、シリコン基板の表面に近い浅い領域における格子間酸素を低減し、かつ、素子特性に悪影響を与えない中心部に汚染物質をゲッタリングしたシリコン基板を実現することができ、その結果、このシリコン基板の

表面を熱酸化して形成するゲート絶縁膜の品質を向上して耐圧の劣化を防ぐことができる。

【0037】この場合、シリコン単結晶をチョクラルスキ法によって成長する過程もしくは成長完了後に該シリコン単結晶が1300℃以上の温度に保持される時間が60分を超えると、上記とは逆に不均一核密度が徐冷という作用によって減少するため、やはり混入不純物のゲッターリングが不十分になり、ゲート絶縁膜の耐圧が劣化することがわかった。

【0038】

【実施例】以下、本発明の実施例を説明する。

（第1実施例）この実施例においては、種結晶の回転速度を例えば30rpmにし、ルツボの回転速度を種結晶とは逆に例えば5rpmとし、引き上げ速度を例えば1.1mm/minにしてチョクラルスキ法によって格子間酸素濃度が $1.5 \times 10^{18}/\text{cm}^3$ （OLD-ASTMによる測定）以上のシリコン単結晶を成長する。このシリコン単結晶をスライスした後、窒素等の希釈ガスを含まない完全水素雰囲気中において、1200℃で1時間アニールする。

【0039】第1実施例によって製造したシリコン基板を用いてMOSキャパシタを製造する工程を説明する。

【0040】図1、図2は、第1実施例の半導体装置の製造工程説明図であり、(A)～(F)は各工程を示している。この図は、本発明の半導体装置の製造方法をMOSキャパシタの製造に適用した場合の工程を示し、1はシリコン基板、1<sub>1</sub>、1<sub>2</sub>はチャネルストップ、2はシリコン酸化膜、3はシリコン窒化膜、3<sub>1</sub>はシリコン窒化膜マスク、4はフィールド酸化膜、5はシリコン酸化膜、6は多結晶または非晶質シリコン膜、6<sub>1</sub>は対向電極、7はシリコン酸化膜、8はシリコン酸化膜、9はシリコン酸化膜、10はBPSG膜、10<sub>1</sub>はコンタクトホール、11はA1膜、11<sub>1</sub>は配線、12は基板側の電極である。

【0041】第1工程（図1（A）参照）

第1実施例の方法によって成長したシリコン単結晶をスライスした比抵抗10Ωcmのシリコン基板1を乾燥酸素雰囲気中で900℃に加熱し、その表面にイオン注入によるシリコン基板1の表面の損傷を低減するための膜厚20nmのシリコン酸化膜2を形成し、その上にCVD法によって膜厚150nmのシリコン窒化膜3を堆積する。

【0042】第2工程（図1（B）参照）

素子分離領域のシリコン窒化膜3を選択的に除去してシリコン窒化膜マスク3<sub>1</sub>を形成し、このシリコン窒化膜マスク3<sub>1</sub>を用いて素子分離領域に基板導電型と同型になるボロン（B）を30keVに加速して、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ 程度にイオン注入してチャネルストップ1<sub>1</sub>、1<sub>2</sub>を形成する。

【0043】第3工程（図1（C）参照）

シリコン窒化膜マスク3<sub>1</sub>が形成されているシリコン基板1の表面を水蒸気中で900℃に加熱することによって、シリコン窒化膜マスク3<sub>1</sub>によって覆われていない部分に膜厚500nmのフィールド酸化膜4を形成する。

【0044】第4工程（図2（D）参照）

シリコン窒化膜マスク3<sub>1</sub>を、H<sub>2</sub>、PO<sub>2</sub>、ボイル処理によって除去する。その後、素子形成領域上の第1工程で形成した酸化膜層2をHF溶液によって一旦除去し、その後、ドライ酸素雰囲気中で1000℃の熱処理を施すことによって表面に新たな膜厚9nm程度のシリコン酸化膜5を形成する。その上にCVD法によって膜厚200nmの多結晶または非晶質シリコン膜6を堆積し、この多結晶または非晶質シリコン膜6にリン（P）を20keVの加速電圧で、ドーズ量が $8 \times 10^{15} \text{ cm}^{-2}$ になるように注入して低抵抗化する。

【0045】第5工程（図2（E）参照）

Pイオンを注入して低抵抗化された多結晶または非晶質シリコン膜6の上に、多結晶または非晶質シリコン膜6中のPが後の加熱工程で抜けるのを防ぐためにCVD法によって膜厚50nmのシリコン酸化膜7を堆積する。この状態で、シリコン酸化膜7と多結晶または非晶質シリコン膜6をドライエッチングによってパターニングして対向電極6<sub>1</sub>を形成する。

【0046】第6工程（図2（F）参照）

酸化性雰囲気中で850℃程度の熱処理を加えて表面を5nm程度薄く酸化してシリコン酸化膜（シリコン酸化膜7と合体して示されている）8を形成した後、その上にCVD法によって膜厚200nmのシリコン酸化膜9を堆積する。その上にCVD法によって膜厚500nmのBPSG膜10を堆積し、850℃でリフローした後、このBPSG膜10とシリコン酸化膜9、シリコン酸化膜8にコンタクトホール10<sub>1</sub>を形成する。コンタクトホール10<sub>1</sub>を有するBPSG膜10の上にスパッタによって例えばA1（1%Si含有）膜11を堆積し、このA1膜11をパターニングすることによって対向電極6<sub>1</sub>への配線11<sub>1</sub>を形成する。その後、ウェーハ背面の酸化膜を除去して基板側の電極12を形成する。

【0047】上記の第5工程（図2（E）参照）において、CVD法によって膜厚50nmのシリコン酸化膜7を堆積することに代えて、800℃でアニールすることもでき、この場合は、シリコン酸化膜7と多結晶または非晶質シリコン膜6をパターニングして対向電極6<sub>1</sub>を形成する工程は、多結晶または非晶質シリコン膜6のみをパターニングして対向電極6<sub>1</sub>を形成することになる。

【0048】（第2実施例）この実施例においては、チョクラルスキ法によってシリコン単結晶を成長する際、少なくともウェーハを切り出す部分を成長する過程で、

引上げ速度を  $0.8 \text{ mm/min}$  以下にしない点の特徴である。

【0049】すなわち、従来から慣用されているチョクラルスキ法によると、シリコンインゴットのショルダー部形成段階から引上げ速度を徐々に減速していき、テイル部を成長する段階になると、しだいに引上げ速度を遅くしているが、この実施例においては、ウェーハを切り出す部分を成長する段階の引上げ速度を  $0.8 \text{ mm/min}$  以上に維持する。そして、このシリコン基板を用いて、第1実施例において説明したようにMOSキャパシタを製造する。

【0050】（第3実施例）従来は、チョクラルスキ法によって低速で引き上げたシリコン単結晶を急速に冷却させない、いわゆる、徐冷法が用いられていたが、この実施例においては、チョクラルスキ法によって引き上げたシリコン単結晶に冷却したArガスを大量に浴びせることによって、 $1300^\circ\text{C}$ 以上の保持時間を60分以内にすする急冷法を採用している。

【0051】そして、その後、そのシリコン単結晶から切り出されたシリコン基板を $1200^\circ\text{C}$ の完全水素雰囲気中で1時間アニールを行う。そして、このシリコン基板を用いて、第1実施例において説明したようにMOSキャパシタを製造する。

【0052】従来のシリコン単結晶引き上げ方法によってシリコン基板を形成した場合と、以上説明した3つの本発明の実施例によって製造したMOSキャパシタの特性をアニールの条件を変えて行った結果を説明する。

【0053】図3は、従来のMOSキャパシタの特性説明図であり、(A)は $\text{H}_2$ アニールを施した場合、

(B)は $\text{H}_2$ アニールを施さない場合を示している。この図は、横軸は絶縁破壊電荷を示し、縦軸は累積不良率すなわち対数正規分布を示しており、酸化膜を通過したキャリア（電荷）が生き残る率が高いほど、すなわち、曲線が垂直に立ち上がる部分が横軸の絶縁破壊電荷の高い領域にあるほど特性が優れている。

【0054】この図に示されたMOSキャパシタは、チョクラルスキ法によって引き上げたシリコン単結晶を従来の熱処理に従って $1300^\circ\text{C}$ 以上で80分程度保持されるように徐冷した場合の特性を示しており、 $\text{H}_2$ アニールを施さないシリコン基板（図3（B）参照）に、 $\text{H}_2$ アニールを施しても（図3（A）参照）、その特性はほとんど改善されないばかりか、かえって劣化していることがわかる。

【0055】図4は、本発明のMOSキャパシタの特性説明図（1）である。この図においても、横軸は絶縁破壊電荷を示し、縦軸は累積不良率すなわち対数正規分布を示しており、酸化膜を通過したキャリア（電荷）が生き残る率が高いほど、すなわち、曲線が垂直に立ち上がる部分が横軸の絶縁破壊電荷の高い領域にあるほど特性が優れている。

【0056】この図は、従来通常に行われていたようにチョクラルスキ法によって最低 $1.1 \text{ mm/min}$ 程度の引き上げ速度で引き上げ、 $1300^\circ\text{C}$ 以上で30分程度保持されるように急冷したシリコン単結晶から切り出したシリコン基板を、完全水素雰囲気中でアニールして製造したMOSキャパシタの特性を示している。

【0057】この図によると、 $1.1 \text{ mm/min}$ 程度の引き上げ速度でチョクラルスキ法で引き上げたシリコン単結晶から切り出し、 $1300^\circ\text{C}$ 以上で30分程度保持されるように急冷した後、 $\text{H}_2$ アニールを施さない場合（b）に比較して、 $\text{H}_2$ アニールを施した場合のMOSキャパシタの特性が顕著に改善されていることがわかる。

【0058】図5は、本発明のMOSキャパシタの特性説明図（2）である。この図においても、横軸は絶縁破壊電荷を示し、縦軸は累積不良率すなわち対数正規分布を示しており、酸化膜を通過したキャリア（電荷）が生き残る率が高いほど、すなわち、曲線が垂直に立ち上がる部分が横軸の絶縁破壊電荷の高い領域にあるほど特性が優れている。

【0059】この図は、従来通常に行われていたようにチョクラルスキ法によって $1.1 \text{ mm/min}$ 程度の引き上げ速度で引き上げ、 $1300^\circ\text{C}$ 以上で30分程度保持されるように急冷したシリコン単結晶から切り出したシリコン基板を、酸素の含有率を変えた $\text{H}_2$ 雰囲気中でアニールして製造したMOSキャパシタの特性を示している。

【0060】この図によると、 $1.1 \text{ mm/min}$ 程度の引き上げ速度でチョクラルスキ法で引き上げたシリコン単結晶から切り出し、 $1300^\circ\text{C}$ 以上で30分程度保持されるように急冷した後、酸素を約 $1.16 \times 10^{18} \text{ cm}^{-3}$ 含有する $\text{H}_2$ 雰囲気中でアニールした場合

(d)、酸素を約 $1.32 \times 10^{18} \text{ cm}^{-3}$ 含有する $\text{H}_2$ 雰囲気中でアニールした場合(c)、酸素を約 $1.48 \times 10^{18} \text{ cm}^{-3}$ 含有する $\text{H}_2$ 雰囲気中でアニールした場合(b)、酸素を約 $1.62 \times 10^{18} \text{ cm}^{-3}$ 含有する $\text{H}_2$ 雰囲気中でアニールした場合(a)の特性を示しているが、酸素含有率を約 $1.62 \times 10^{18} \text{ cm}^{-3}$ 含有する $\text{H}_2$ 雰囲気中でアニールした場合に特に特性が優れていることがわかる。

【0061】上記の各実施例においては、強還元性雰囲気として水素を用いた例を説明したが、他の還元性雰囲気、例えば、 $\text{HCl}$ 等のハロゲンを含むガスを用いてもシリコン基板の表面に酸化膜が形成されないため上記と同様の効果を生じる。ただし、ハロゲン系を含むガスを用いる場合はシリコン基板の表面が荒れ、ゲート酸化膜の耐圧が劣化する可能性があるため、水素を用いる方が望ましい。

【0062】

【発明の効果】以上説明したように、本発明によると、

シリコン基板を熱酸化することによって得られるゲート酸化膜の信頼性を向上させることができ、その結果、MOSFETを構成素子にする高密度集積回路装置の信頼性を向上することができ、さらに、将来的に磁気ディスク等の情報記憶装置に代替するものとして有望視されているフラッシュメモリの寿命を延長することができる。

【図面の簡単な説明】

【図1】第1実施例の半導体装置の製造工程説明図

(1)であり、(A)～(C)は各工程を示している。

【図2】第1実施例の半導体装置の製造工程説明図

(2)であり、(D)～(F)は各工程を示している。

【図3】従来のMOSキャパシタの特性説明図であり、

(A)はH<sub>2</sub>アニールを施した場合、(B)はH<sub>2</sub>アニールを施さない場合を示している。

【図4】本発明のMOSキャパシタの特性説明図(1)である。

【図5】本発明のMOSキャパシタの特性説明図(2)である。

【図6】IG法によるシリコン基板中の酸素ゲッタリングの工程説明図であり、(A)～(D)は各工程を示している。

【符号の説明】

\* 1 シリコン基板

1<sub>1</sub>, 1<sub>2</sub> チャネルストップ

2 シリコン酸化膜

3 シリコン窒化膜

3<sub>1</sub> シリコン窒化膜マスク

4 フィールド酸化膜

5 シリコン酸化膜

6 多結晶または非晶質シリコン膜

6<sub>1</sub> 対向電極

10 7 シリコン酸化膜

8 シリコン酸化膜

9 シリコン酸化膜

10 BPSG膜

10<sub>1</sub> コンタクトホール

11 Al膜

11<sub>1</sub> 配線

12 基板側の電極

21 シリコン基板

22 格子間酸素

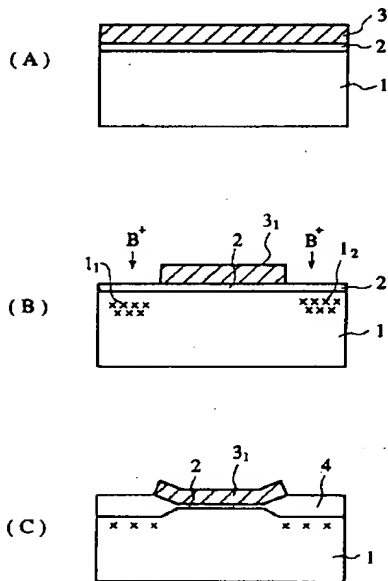
23 酸化膜

24 析出核

\* 25 積層欠陥

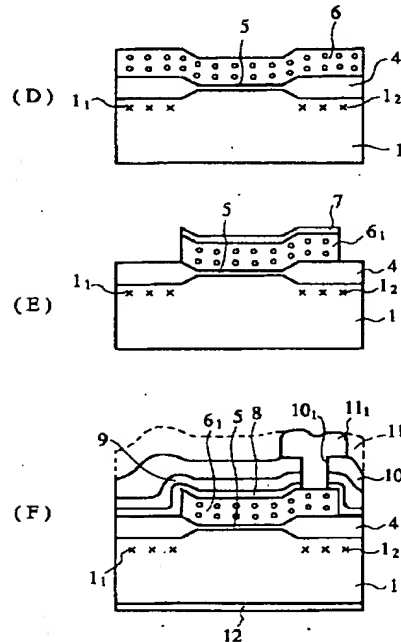
【図1】

第1実施例の半導体装置の製造工程説明図 (1)



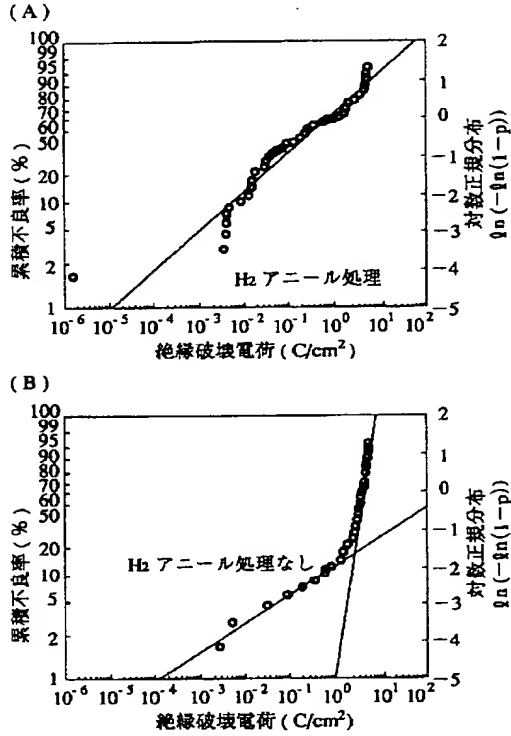
【図2】

第1実施例の半導体装置の製造工程説明図 (2)



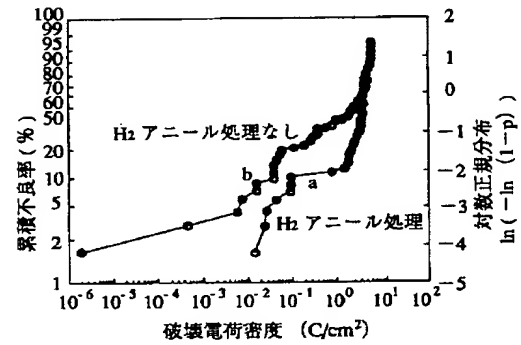
【図3】

従来の MOS キャパシタの特性説明図



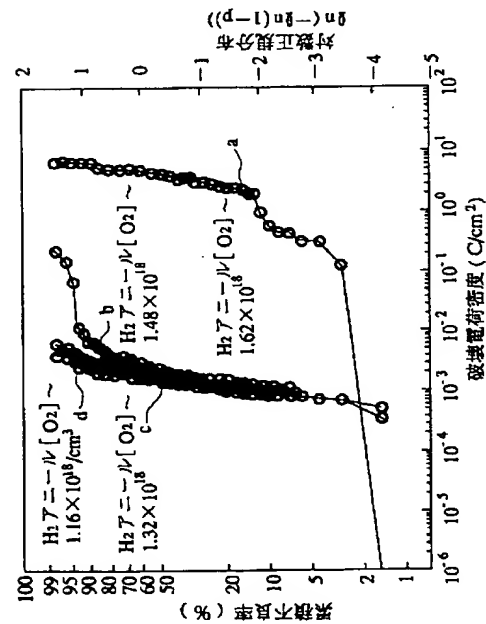
【図4】

本発明の MOS キャパシタの特性説明図 (1)



【図5】

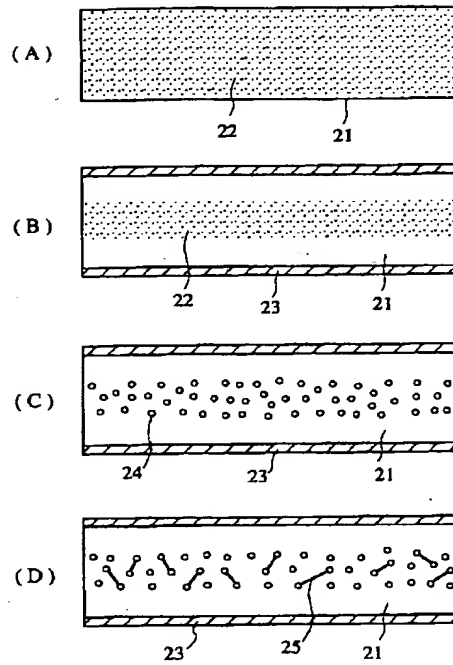
本発明の MOS キャパシタの特性説明図 (2)





〔図6〕

IG法によるシリコン基板中の  
酸素ゲッタリングの工程説明図



**THIS PAGE BLANK (USPTO)**